

③

JP 10-116061 A

Laid-open Date: May 6, 1998

[Claim 1] A multiple simultaneous display system, characterized by comprising: means for receiving signals for a display different from a digital display with a smaller scan size than a scan size of the digital display, the signals including a pixel data signal and a raster scan timing signal for generating on the digital display an image rendering period, a horizontal blanking period and a vertical blanking period, and possibly an unaddressed horizontal region and vertical region; a line clock system for generating a normal line clock pulse for the digital display in the image rendering period, and generating a high-speed line clock pulse for the digital display in the vertical blanking period to address the normally unaddressed vertical region; and a pixel clock system for generating a normal pixel clock pulse for the digital display in the image rendering period, and generating a high-speed pixel clock pulse for the digital display in the horizontal blanking period and the vertical blanking period to address the normally unaddressed horizontal region and vertical region.

[Claim 2] A graphics controller characterized by comprising the multiple simultaneous system according to claim 1.

[Claim 3] The multiple simultaneous display system according to claim 1, characterized in that the digital display comprises a liquid

crystal display.

[Claim 4] The multiple simultaneous display system according to claim 1, characterized in that the different display comprises a cathode ray tube.

[Claim 10] A multiple simultaneous display system, characterized by comprising: means for receiving signals for a display different from a digital display with a smaller scan size than a scan size of the digital display, the signals including a raster scan timing signal for generating an image rendering period, a horizontal blanking period and a vertical blanking period, and possibly an unaddressed horizontal region and vertical region; a line clock system for generating a normal line clock pulse for the digital display in the image rendering period, and generating a high-speed line clock pulse for the digital display in the vertical blanking period to address the normally unaddressed vertical region; and a pixel clock system for generating a normal pixel clock pulse for the digital display in the image rendering period, and generating a high-speed pixel clock pulse for the digital display in the horizontal blanking period and the vertical blanking period to address the normally unaddressed horizontal region and vertical region.

[Claim 11] A graphics controller characterized by comprising the multiple simultaneous display system according to claim 11.

[Claim 12] The multiple simultaneous display system according to claim 10, characterized in that the digital display comprises a liquid crystal display.

[Claim 13] The multiple simultaneous display system according to claim 10, characterized in that the different display comprises a cathode ray tube.

[Claim 19] A display control method, characterized by comprising the steps of: receiving a raster scan timing signal for a display different from a digital display with a smaller scan size than a scan size of the digital display; applying to the digital display a frame pulse for giving a command to the digital display to start image rendering, thereby generating an image rendering period, a horizontal blanking period and a vertical blanking period, and possibly an unaddressed horizontal region and vertical region; using a line clock system to apply to the digital display a normal line clock pulse in the image rendering period, and a high-speed line clock pulse in the vertical blanking period to address the normally unaddressed vertical region; and using a pixel clock system to apply to the digital display the normal pixel clock pulse in the image rendering period, and a high-speed clock pulse to address the normally unaddressed horizontal region and vertical region in the horizontal blanking period and the vertical blanking period.

[Claim 20] The display control method according to claim 19,

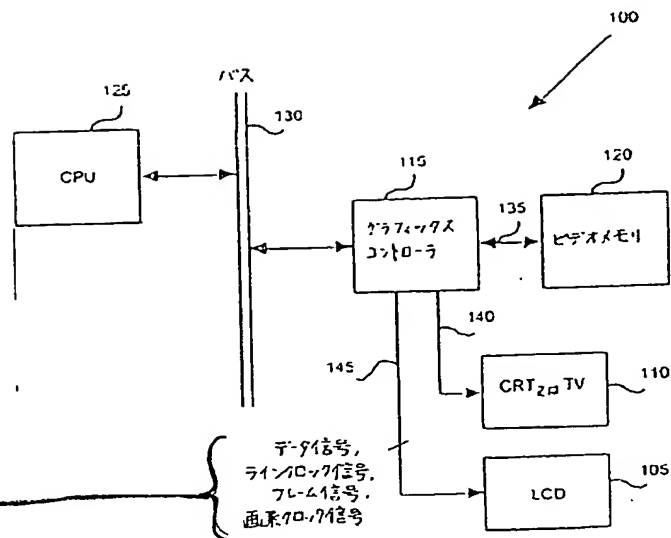
characterized in that the digital display comprises a liquid crystal display.

[Claim 21] The display control method according to claim 19, characterized in that the different display comprises a cathode ray tube.

[Problem to be solved by the Invention] A certain variety of general graphics controllers can perform control for simultaneously displaying a single image on two different monitors. For example, when displaying the single image on a cathode ray tube (CRT) or television (TV) display, the image can be displayed simultaneously on a liquid crystal display (LCD). Fig. 1 is a block diagram showing a multiple display system 100 of the prior art, in which an image is simultaneously displayed on an LCD 105 and a CRT or TV 110. In order to control image processing and other functions of the system 100, a central processing unit (CPU) 125 based on a computer such as a PowerMacintosh manufactured by Apple Computer, Inc. in Cupertino, CA or an IBM (R) PC manufactured by IBM in Armonk, NY is connected to a typical graphics controller 115 via a bus 130. In order to store and retrieve image data, the graphics controller 115 is connected to a video memory 120 via a bus 135, is connected to the CRT or TV 110 via a bus 140, and is connected to the LCD 105 via a bus 145. The graphics controller 115 sends a data signal, a line clock signal, a frame signal and a pixel clock signal over the bus

140 and the bus 145 to operate the CRT or TV 110 and the LCD 105, respectively. Since bandwidth to the video memory 120 is limited, the graphics controller 115 simultaneously sends the same image information from the video memory 120 to the LCD 105 and the CRT or TV 110.

【図 1】



【FIG. 1】

105 LCD

110 CRT OR TV

115 GRAPHICS CONTROLLER

120 VIDEO MEMORY

125 CPU

130 BUS

DATA SIGNAL

LINE CLOCK SIGNAL

FRAME SIGNAL

PIXEL CLOCK SIGNAL

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-116061

(43) Date of publication of application : 06.05.1998

(51)Int.Cl.

G09G 5/00

G09G 5/00

G09G 3/36

G09G 5/12

H04N 5/66

(21)Application number : 09-259022

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 24.09.1997

(72)Inventor: TUCKER DAVID M
LOW WILLIAM

(30)Priority

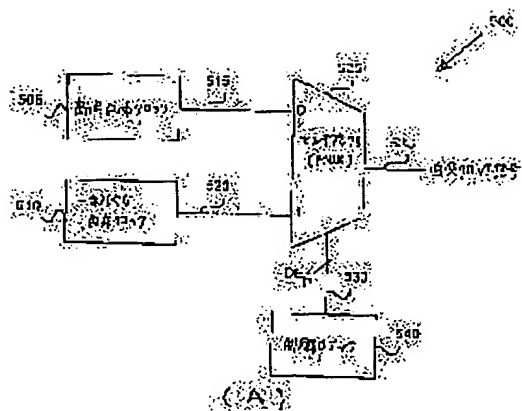
Priority number : 96 721087 Priority date : 24.09.1996 Priority country : US

(54) SIMULTANEOUSLY PLURAL IMAGE DISPLAY SYSTEM AND DISPLAY CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To generate image information for a part not addressed by generating a regular line clock pulse for a digital display in an image rendering period and generating a line clock pulse in a vertical blocking period for addressing a vertical area.

SOLUTION: A multiplexer(MUX) 525 outputs a regular pixel clock signal from a general pixel clock 510 in a raster formation period of an image area based on a control signal from control logic 540, and outputs a high speed pixel clock signal from a high speed pixel clock 505 in a horizontal blanking period. Then, the multiplexer 525 applies an output signal of a pixel clock system 500 to a horizontal shift register and a selectable type latch instead of the general pixel clock signal, and the high speed pixel clock signal clocks for the remaining selectable type latch corresponding to an area non addressed until the remaining selectable type latch captures respective blank data values.



LEGAL STATUS

[Date of request for examination] 06.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

3

[Date of extinction of right]

3

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 0 - 1 1 6 0 6 1

(43) 公開日 平成 1 0 年 (1 9 9 8) 5 月 6 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G09G 5/00	510		G09G 5/00	510 V
	520			520 V
3/36			3/36	
5/12			5/12	
H04N 5/66			H04N 5/66	B
審査請求 未請求 請求項の数 2 6 O L (全 1 1 頁)				

(21) 出願番号 特願平 9 - 2 5 9 0 2 2

(22) 出願日 平成 9 年 (1 9 9 7) 9 月 2 4 日

(31) 優先権主張番号 0 8 / 7 2 1 , 0 8 7

(32) 優先日 1 9 9 6 年 9 月 2 4 日

(33) 優先権主張国 米国 (U S)

(71) 出願人 0 0 0 0 0 2 3 6 9
セイコーエプソン株式会社
東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 デービッド エム タッカー
カナダブリティッシュコロンビア州バンクーバーウェストエイスアヴェニュー 9 3 3

(72) 発明者 ウィリアム ロー
カナダブリティッシュコロンビア州バンクーバーイーストベンダーストリート 1 6 4 8

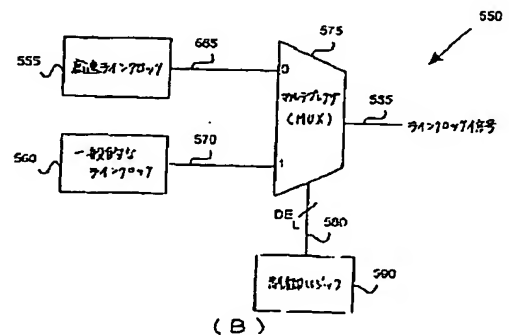
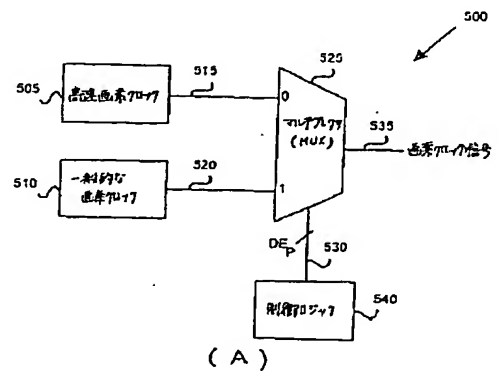
(74) 代理人 弁理士 鈴木 喜三郎 (外 2 名)

(54) 【発明の名称】 複数同時表示システム及びディスプレイの制御方法

(57) 【要約】

【課題】 一つの画像を例えば C R T 及び液晶等のデジタルディスプレイに表示する場合に、アドレスされない領域が発生したり、全てアドレスしようとすると、縦横比が変わってしまったりしていた。

【解決手段】 画像レンダリング期間にデジタルディスプレイに対して通常ラインクロックパルスを生成し、普通はアドレスされない垂直領域をアドレスするために垂直ブランキング期間にデジタルディスプレイに対して高速ラインクロックパルスを生成するラインクロックシステムを含むクロッキングシステム。クロッキングシステムはさらに、画像レンダリング期間にデジタルディスプレイに対して通常画素クロックパルスを生成し、普通はアドレスされない水平及び垂直領域をアドレスするために水平及び垂直ブランキング期間にデジタルディスプレイに対して高速画素クロックパルスを生成する画素クロックシステムを有する。



【特許請求の範囲】

【請求項 1】 デジタルディスプレイの走査サイズに比して、走査サイズの小さい異なるディスプレイに対する信号であって、画像レンダリング期間、水平ブランキング期間及び垂直ブランキング期間、さらに可能性としてアドレスされない水平領域及び垂直領域を、前記デジタルディスプレイに生じさせるような、画素データ信号及びラスタスキャンのタイミング信号を受け取る手段と、前記画像レンダリング期間に前記デジタルディスプレイに対する通常のラインクロックパルスを生成し、普通はアドレスされない前記垂直領域をアドレスするために、前記垂直ブランキング期間に前記デジタルディスプレイに対する高速ラインクロックパルスを生成するラインクロックシステムと、前記画像レンダリング期間に前記デジタルディスプレイに対する通常の画素クロックパルスを生成し、普通はアドレスされない前記水平領域及び前記垂直領域をアドレスするために、前記水平ブランキング期間及び前記垂直ブランキング期間に前記デジタルディスプレイに対する高速画素クロックパルスを生成する画素クロックシステムとを有することを特徴とする複数同時表示システム。

【請求項 2】 請求項 1 に記載の複数同時システムを有することを特徴とするグラフィックスコントローラ。

【請求項 3】 前記デジタルディスプレイが液晶ディスプレイからなることを特徴とする請求項 1 に記載の複数同時表示システム。

【請求項 4】 前記異なるディスプレイが陰極線管からなることを特徴とする請求項 1 に記載の複数同時表示システム。

【請求項 5】 前記異なるディスプレイがテレビからなることを特徴とする請求項 1 に記載の複数同時表示システム。

【請求項 6】 前記ラインクロックシステムが、前記通常のラインクロックパルスを生成するための第 1 ラインクロックと、前記高速ラインクロックパルスを生成するための高速ラインクロックと、前記第 1 ラインクロックから前記通常のラインクロックパルスを受け取るために接続された第 1 の入力端子と、前記高速ラインクロックから前記高速ラインクロックパルスを受け取るために接続された第 2 の入力端子と、前記デジタルディスプレイに接続された出力端子と、さらに前記画像レンダリング期間に、前記通常のラインクロックパルスが前記出力端子に渡され、前記垂直ブランキング期間に、前記高速ラインクロックパルスが前記出力端子に渡されるように制御する制御端子を有するマルチプレクサと、からなることを特徴とする請求項 1 に記載の複数同時表示システム。

【請求項 7】 前記画素クロックシステムが、前記通常の画素クロックパルスを生成するための第 1 画素クロックと、前記高速画素クロックパルスを生成するための高速

画素クロックと、前記第 1 画素クロックから前記通常画素クロックパルスを受け取るために接続された第 1 の入力端子と、前記高速画素クロックから前記高速画素クロックパルスを受け取るために接続された第 2 の入力端子と、前記デジタルディスプレイに接続された出力端子と、さらに選択信号の印加によって前記画像レンダリング期間に、前記通常の画素クロックパルスが前記出力端子に渡され、前記水平ブランキング期間及び前記垂直ブランキング期間に、前記高速画素クロックパルスが前記出力端子に渡されるように制御する制御端子を有するマルチプレクサと、からなることを特徴とする請求項 1 に記載の複数同時表示システム。

【請求項 8】 前記デジタルディスプレイは N 画素 \times M 行の大きさのディスプレイであり、前記異なるディスプレイは A 画素 \times B 行のディスプレイで C 画素 \times D 行の画像サイズを有しており、システムは画素クロックパルスにつき 1 画素のみを処理し、前記高速ラインクロック及び前記高速画素クロックのスピードは、

【数 1】

$$(N - C) \cdot T_{HF} \leq (A - C) \cdot T_{HC}$$

$$T_{VF} \geq N \cdot T_{HF}$$

$$(M - D) \cdot T_{VF} \leq (B - D) \cdot T_{VC}$$

の式で計算され、この式において T_{HF} は前記高速画素クロックの期間で、 T_{HC} は前記通常の画素クロックの期間、 T_{VF} は前記高速ラインクロックの期間、 T_{VC} は前記通常のラインクロックの期間であることを特徴とする請求項 1 に記載の複数同時表示システム。

【請求項 9】 高速ラインパルス数は、前記デジタルディスプレイの走査サイズの垂直方向の寸法から画像の垂直方向の寸法を引くことにより計算され、高速画素パルス数は、前記デジタルディスプレイの走査サイズの水平方向の寸法から画像の水平方向の寸法を引くことによって計算されることを特徴とする請求項 1 に記載の複数同時表示システム。

【請求項 10】 デジタルディスプレイの走査サイズに比して走査サイズの小さい異なるディスプレイに対する信号であって、画像レンダリング期間、水平ブランキング期間及び垂直ブランキング期間、そして可能性としてアドレスされない水平領域及び垂直領域を生じさせるような、ラスタスキャンのタイミング信号を受け取る手段と、前記画像レンダリング期間に前記デジタルディスプレイに対する前記通常のラインクロックパルスを生成し、普通はアドレスされない前記垂直領域をアドレスするために、前記垂直ブランキング期間に前記デジタルディスプレイに対する前記高速ラインクロックパルスを生成するためのラインクロックシステムと、前記画像レンダリング期間に前記デジタルディスプレイに対する前記通常の画素クロックパルスを生成し、普通はアドレ

3

スされない前記水平領域及び前記垂直領域をアドレスするために、前記水平ブランキング期間及び前記垂直ブランキング期間に前記デジタルディスプレイに対する前記高速画素クロックパルスを生成するための画素クロックシステムと、を含むことを特徴とする複数同時表示システム。

【請求項 1 1】請求項 11 に記載の複数同時表示システムを有することを特徴とするグラフィックスコントローラ。

【請求項 1 2】前記デジタルディスプレイが液晶ディスプレイからなることを特徴とする請求項 10 に記載の複数同時表示システム。

【請求項 1 3】前記異なるディスプレイが陰極線管であることを特徴とする請求項 10 に記載の複数同時表示システム。

【請求項 1 4】前記異なるディスプレイがテレビであることを特徴とする請求項 10 に記載の複数同時表示システム。

【請求項 1 5】前記ラインクロックシステムが、前記通常のラインクロックパルスを生成するための第 1 ラインクロックと、前記高速ラインクロックパルスを生成するための高速ラインクロックと、前記第 1 ラインクロックから前記通常のラインクロックパルスを受け取るために接続された第 1 の入力端子と、前記高速ラインクロックから前記高速ラインクロックパルスを受け取るために接続された第 2 の入力端子と、前記デジタルディスプレイに接続された出力端子と、さらに選択信号の印加によって前記画像レンダリング期間に前記通常ラインクロックパルスが出力端子に渡され、前記垂直ブランキング期間に前記高速ラインクロックパルスが出力端子に渡されるように制御する制御端子を含むマルチプレクサと、からなることを特徴とする請求項 10 に記載の複数同時表示システム。

【請求項 1 6】前記画素クロックシステムが、前記通常の画素クロックパルスを生成するための第 1 画素クロックと、前記高速画素クロックパルスを生成するための高速画素クロックと、前記第 1 画素クロックから前記通常画素クロックパルスを受け取るために接続された第 1 の入力端子と、前記高速画素クロックから前記高速画素クロックパルスを受け取るために接続された第 2 の入力端子と、前記デジタルディスプレイに接続された出力端子と、さらに選択信号の印加によって前記画像レンダリング期間に前記通常の画素クロックパルスが出力端子に渡され、前記水平ブランキング期間及び前記垂直ブランキング期間に前記高速画素クロックパルスが出力端子に渡されるように制御する制御端子を有するマルチプレクサと、からなることを特徴とする請求項 10 に記載の複数同時表示システム。

【請求項 1 7】前記デジタルディスプレイは X 画素 \times Y 行の大きさのディスプレイであって、前記異なるディス

4

プレイは A 画素 \times B 行のディスプレイで C 画素 \times D 行の画像サイズを有し、システムは前記画素クロックパルスにつき 1 画素のみを処理し、前記高速ラインクロック及び前記高速画素クロックのスピードは、

【数 2】

$$(N - C) \cdot T_{HF} \leq (A - C) \cdot T_{HC}$$

$$T_{VF} \geq N \cdot T_{HF}$$

$$(M - D) \cdot T_{VF} \leq (B - D) \cdot T_{VC}$$

の式で計算され、この式において T_{HF} は前記高速画素クロックの期間で、 T_{HC} は前記通常の画素クロックの期間、 T_{VF} は前記高速ラインクロックの期間、 T_{VC} は前記通常のラインクロックの期間であることを特徴とする請求項 10 に記載の複数同時表示システム。

【請求項 1 8】高速ラインパルス数は、前記デジタルディスプレイの走査サイズの垂直方向の寸法から画像の垂直方向の寸法を引くことにより計算され、高速画素パルス数は、前記デジタルディスプレイの走査サイズの水平方向の寸法から画像の水平方向の寸法を引くことにより計算されることを特徴とする請求項 10 に記載の複数同時表示システム。

【請求項 1 9】デジタルディスプレイの走査サイズに比して走査サイズの小さい異なるディスプレイのためのラストスキャンタイミング信号を受け取り、前記デジタルディスプレイに対して画像のレンダリングを開始する命令を出すために前記デジタルディスプレイにフレームパルスを印加し、それによって画像レンダリング期間、水平ブランキング期間及び垂直ブランキング期間、さらに可能性としてアドレスされない水平領域及び垂直領域が生じ、ラインクロックシステムによって前記画像レンダリング期間に通常のラインクロックパルスを、そして普通はアドレスされない前記垂直領域をアドレスするために前記垂直ブランキング期間に高速ラインクロックパルスを前記デジタルディスプレイに印可し、画素クロックシステムによって前記画像レンダリング期間に前記通常の画素クロックパルスを、そして普通はアドレスされない前記水平領域及び前記垂直領域をアドレスするために前記水平ブランキング期間及び前記垂直ブランキング期間に高速クロックパルスを前記デジタルディスプレイに印加する各工程からなることを特徴とするディスプレイの制御方法。

【請求項 2 0】前記デジタルディスプレイが液晶ディスプレイであることを特徴とする請求項 19 に記載のディスプレイの制御方法。

【請求項 2 1】前記異なるディスプレイが陰極線管であることを特徴とする請求項 19 に記載のディスプレイの制御方法。

【請求項 2 2】前記異なるディスプレイがテレビであることを特徴とする請求項 19 に記載のディスプレイの制御

方法。

【請求項 2 3】前記ラインクロックシステムが、前記通常のラインクロックパルスを生成するための第 1 ラインクロックと、前記高速ラインクロックパルスを生成するための高速ラインクロックと、前記第 1 ラインクロックから前記通常のラインクロックパルスを受け取るために接続された第 1 の入力端子と、前記高速ラインクロックから前記高速ラインクロックパルスを受け取るために接続された第 2 の入力端子、前記デジタルディスプレイに接続された出力端子と、さらに選択信号の印加によって前記画像レンダリング期間に前記通常のラインクロックパルスが前記出力端子に渡され、前記垂直ブランキング期間に前記高速ラインクロックパルスが前記出力端子に渡されるように制御する制御端子を有するマルチプレクサと、からなることを特徴とする請求項 19 に記載のディスプレイの制御方法。

【請求項 2 4】前記画素クロックシステムが、前記通常の画素クロックパルスを生成するための第 1 画素クロックと、前記高速画素クロックパルスを生成するための高速画素クロックと、前記第 1 画素クロックから前記通常の画素クロックパルスを受け取るために接続された第 1 の入力端子と、前記高速画素クロックから前記高速画素クロックを受け取るために接続された第 2 の入力端子と、前記デジタルディスプレイに接続された出力端子、さらに選択信号の印加によって前記画像レンダリング期間に前記通常の画素クロックパルスを前記出力端子に渡され、前記水平ブランキング期間及び前記垂直ブランキング期間に前記高速画素クロックパルスを前記出力端子に渡されるように制御する制御端子を有するマルチプレクサと、からなることを特徴とする請求項 19 に記載のディスプレイの制御方法。

【請求項 2 5】前記デジタルディスプレイが N 画素 \times M 行の大きさのディスプレイであって、前記異なるディスプレイは A 画素 \times B 行のディスプレイで C 画素 \times D 行の画像サイズを有し、システムは画素クロックパルスにつき 1 画素のみを処理し、高速ラインクロック及び高速画素クロックのスピードは、

【数 3】

$$(N - C) \cdot T_{HF} \leq (A - C) \cdot T_{HC}$$

$$T_{VF} \geq N \cdot T_{HF}$$

$$(M - D) \cdot T_{VF} \leq (B - D) \cdot T_{VC}$$

の式で計算され、この式において T_{HF} は前記高速画素クロックの期間で、 T_{HC} は前記通常の画素クロックの期間、 T_{VF} は前記高速ラインクロックの期間、 T_{VC} は前記通常のラインクロックの期間であることを特徴とする請求項 19 に記載のディスプレイの制御方法。

【請求項 2 6】高速ラインパルス数は、前記ディジ

タルディスプレイの走査サイズの垂直方向の寸法から画像の垂直方向の寸法を引くことによって計算され、高速画素パルス数は、前記デジタルディスプレイの走査サイズの水平方向の寸法から画像の水平方向の寸法を引くことによって計算されることを特徴とする請求項 19 に記載のディスプレイの制御方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本願発明は一般的にはグラフィックス表示コントローラに関し、より具体的には、複数同時表示システム及びディスプレイの制御方法に関するものである。さらに具体的には、複数同時システムにおいてデジタルディスプレイを高速でクロッキングするシステム及びその方法に関する。

【0 0 0 2】

【発明が解決しようとする課題】ある種の一般的なグラフィックスコントローラは 2 つの異なるモニタに一つの画像を同時に表示することを制御することができる。例えば、一つの画像を陰極線管 (CRT) 又はテレビ (TV) に表示すると同時にその画像を液晶ディスプレイ (LCD) に表示することができる。図 1 は LCD 105 と CRT 又は TV 110 に同時に画像を表示する先行技術の複数表示システム 100 を示すブロック図である。画像処理や他のシステム 100 の機能を制御するためのカリフォルニア州クパティノー市に在するアップルコンピュータ (Apple Computer) 社製のパワーマッキントッシュ (Power Macintosh) 或いはニューヨーク州アーモンク市に在する IBM 社製の IBM (R) PC といったコンピュータをベースにした中央演算処理装置 (CPU) 125 はバス 130 を介して典型的なグラフィックスコントローラ 115 に接続されている。グラフィックスコントローラ 115 は画像データを格納及び検索するためにバス 135 を介してビデオメモリ 120 に結合され、バス 140 を介して CRT 又は TV 110 に、そしてバス 145 を介して LCD 105 に結合されている。グラフィックスコントローラ 115 は、バス 140 及びバス 145 でデータ信号、ラインクロック信号、フレーム信号、画素クロック信号を送り CRT 又は TV 110 及び LCD 105 をそれぞれ動作させる。ビデオメモリ 120 へのバンド幅が限られているので、グラフィックスコントローラ 115 は同じ画像情報をビデオメモリ 120 から LCD 105 及び CRT 又は TV 110 に同時に転送する。

【0 0 0 3】LCD 105 の解像度が CRT 又は TV と異なる場合、重大な問題が生じる。NTSC (National Television Standards Committee) の規格に従った TV は、画像サイズが 754 画素 \times 486 行で、走査サイズは 910 画素 \times 525 行である。例えばほぼ 1024 画素 \times 768 行というように LCD の走査サイズの方が大きいことがある。TV にはまた非常に厳密なタイミングが要求され、LCD のタイミングはそれに従わなければならない。典型的な LCD 105 の走査サイズは TV の走査サイズより大きいから、LCD 全体

が完全にアドレスされることにはならない。つまり、1024 - 910 = 114画素と、768 - 525 = 243行がアドレスされないで残ることになる。

【0004】典型的な640画素x 480行の画像空間を実現するソフトウェアを走らせるには、800画素x 525行の走査サイズを有するCRT 110が好ましい。従って、LCD及びCRTを同時に使用すると、LCDとTVを同時に使用する時のように、LCDにアドレスされない領域が残ってしまう。現在の多周波数CRTの中にはシステム設計者がLCD 105とCRT 110の両方のタイミング要件を満たすように選択できる可変走査速度を有するものがあるが、この解決法には欠点がある。例えば、ディスプレイの解像度より細かい画像の走査速度を用いると、画像は小さく現れてディスプレイ全体がいっぱいにならない。縮小画像を水平方向及び垂直方向に引き伸ばすのに、システム設計者によっては画素間複写処理を行ったり画素間補間処理をしたりするが、こうした処理をすると縦横比が変わって好ましくない。

【0005】図2に、TV 110の走査速度に基づいて画像情報を受け取る場合の、大きさが1024画素x 768行の先行技術による単一パネルの単純またはアクティブマトリックスのLCD 105を詳細に示す。LCD 105は、水平シフトレジスタ205、1024個の選択可能型ラッチ210、1 x 1024の統合ラッチ215、1024個の画素ドライバ220、垂直シフトレジスタ225、768個のラインドライバ230、そしてディスプレイ235を有する。CRT 110の走査速度に基づくディスプレイ235の領域はTV 110の走査速度に基づく表示領域235と類似していることが当業者なら分かるであろう。

【0006】水平シフトレジスタ205は画素クロック信号を入力端子SHIFT₁で、ラインクロック信号を入力端子IN₁で受け取る。画素クロック信号に基づき、水平シフトレジスタ205は対応する選択可能型ラッチ210が入ってくる画素データ信号を格納できるようにする。例えば、水平シフトレジスタ205は第1の画素クロック信号を受け取り、よって第1の選択可能型ラッチ210が表示メモリ120（図1）から検索される第1画素データ信号を格納できるようにする。次の画素クロック信号を受け取ると、水平シフトレジスタ205は第1選択可能型ラッチ210にキャプチャされている値の変更を禁止し、第2の選択可能型ラッチ210が次に入ってくる画素データ信号をキャプチャできるようにする。選択可能型ラッチ210はそれぞれ画素クロック信号と同期している。このプロセスは選択可能型ラッチ210が一行の画素情報をキャプチャし終えるまで続く。ラインクロック信号を受け取ると、統合ラッチ215は選択可能型ラッチ210からのその一行の画素データを格納し、水平シフトレジスタ205は選択可能型ラッチ210が新たな一行の画素データを再びキャプチャできるようにし、さらにこのプロセスが次の一行の画像画素データに対して繰り返される。

【0007】統合ラッチ215はキャプチャした一行の画素データを画素ドライバ220を介して並列で渡し、ディスプレイ235に一行を形成する。ラインクロック信号に基づき、垂直シフトレジスタ225はディスプレイ235のどの行がその一行の画素データを受け取るかを決める。入力端子IN₁でフレーム信号を受け取ると、垂直シフトレジスタ225は第1のラインドライバ230を用いてディスプレイ235の第1行が次の行の画素データをキャプチャできるようにする。垂直シフトレジスタ225はラインドライバ230の一番目を用いてディスプレイ235の第1行が次の行の画素データを受け取れるようにする。連続するラインクロック信号毎に、垂直シフトレジスタ225は前の行を使用不能にし、連続ラインドライバ230を用いてディスプレイ235の連続する一行が次の行の画素データを受け取れるようにする。ディスプレイ235にインタレース方式が使用されている場合、垂直シフトレジスタ235は2行シフトする。所定の一行の画素情報が表示されている間、水平シフトレジスタ205及び統合ラッチ215は次の行のための画素情報を検索しキャプチャする。このプロセスが画像情報の各フレーム毎に繰り返される。

【0008】図3に示すのは、一般的な1024画素x 768行のLCDに画像フレームをレンダリング（描画）するタイミング図である。グラフィックスコントローラ115（図1）は画像フレームの開始を示すフレーム信号を生成し、その後画像フレーム内のそれぞれの行の画素データを受け取ったことを示す一連の768のラインクロックパルスとしてラインクロック信号を生成する。各ラインクロックパルスの後に、グラフィックスコントローラ115はその行のそれぞれの画素に対する画素データを同時に受け取ったことを示す一連の1024の画素パルスとして画素クロック信号を生成する。768番目のラインクロックパルスを受け取った後、垂直シフトレジスタ225は新たなフレームパルスを送り、次のフレームのためにこのプロセスを繰り返す。

【0009】グラフィックスコントローラ115（図1）がTV 110の走査サイズ及びタイミング要件をLCD 105に適用するなら、ディスプレイ235は画像240と、水平方向のブランク領域247及び垂直方向のブランク領域245をレンダリングし、水平方向のアドレスされない領域250及び垂直方向のアドレスされない領域255を含むことになる。図4はブランク領域245、247及びアドレスされない領域250、255の生成を示すタイミング図である。グラフィックスコントローラ115はフレーム信号を生成した後、垂直方向の走査サイズを表す一連の525だけのパルスとしてラインクロック信号を生成する。TV 110の画像サイズは486行だから、525行の走査線のうち486だけがデータを含む。残る39行の走査線は垂直方向のブランク領域245であり、垂直方向のブランク領域245をレンダリングするのに要する時間を「垂直ブランピング期間」と称する。さらに、LCD 105ではフレーム毎に768行の走査

線があるから、768行のLCD走査線のうち525行だけがアドレスされ、残る243行の線は垂直方向のアドレスされない領域255となる。

【0010】各ラインパルス後、グラフィックスコントローラ115は水平方向の走査サイズを表す一連の910のバルスとして画素クロックを生成する。TV 110の画像サイズは754画素だから、残る156画素は水平方向のブランク領域247となり、水平方向のブランク領域247の各行をレンダリングするのに要する時間を「水平ブランキング期間」と称する。さらに、LCD 105では行毎に1024の画素を含むから、1024のうち910の画素だけがアドレスされ、残る114の画素は水平方向のアドレスされない領域250となる。

【0011】アドレスされない領域をサポートするシステムにおいて水平シフトレジスタ205及び垂直シフトレジスタ225を用いることから生じる重大な問題は画像エコーの問題である。シフトレジスタ205及び225はアドレスされない領域250及び255のそれぞれに全く同じ画像部分をエコーする。つまり、ラインクロックパルスを受け取ると、一般的な水平シフトレジスタ205は、現在使用可能になっている選択可能型ラッチ210を使用不能にしないまま、選択可能型ラッチ210の一番目が新しい画素データをキャプチャするのをまた可能にする。同様に、フレーム信号を受け取ると、垂直シフトレジスタ225は、現在使用可能になっているラインを使用不能にしないで、ディスプレイ235の第1行が新たな一行の画素データを表示するのを可能にする。そのため、図2の例で見ると、最初の114個の画素がアドレスされない画素位置911から1024にエコーされ、最初の243行の画素データがアドレスされない行526から768にエコーされる。

【0012】従って、水平及び垂直ブランキング期間に、LCDなどデジタルディスプレイを制御しデジタルディスプレイのアドレスされない部分のための画像情報を生成するシステム及び方法が求められている。

【0013】

【課題を解決するための手段】本願発明は、CRT或いはTVなど走査サイズの小さい表示装置のラスタスキャンのタイミング要件を用いる際、可能性としてアドレスされない水平方向及び垂直方向の領域をアドレスするために、液晶ディスプレイ(LCD)などデジタルディスプレイに対して高速でクロッキングするシステム及び方法を提供することにより今までのシステムの限界及び欠陥を克服するものである。クロッキングシステムは、画像がレンダリングされている間デジタルディスプレイに対する通常ラインクロックパルスを生成し、普通はアドレスされない垂直領域をアドレスするために垂直ブランキング期間にデジタルディスプレイに対する高速ラインクロックパルスを生成するラインクロックシステムを含む。クロッキングシステムはさらに、画像レンダリング期間にデジタルディスプレイへの通常画素クロックパ

ルスを生成し、普通はアドレスされない水平及び垂直領域をアドレスするために水平及び垂直ブランキング期間にデジタルディスプレイに対する高速画素クロックパルスを生成する画素クロックシステムを有する。

【0014】クロッキングシステムは、通常のラインクロックから通常のラインクロックパルスを受け取るために接続された第1の入力端子と、高速ラインクロックから高速ラインクロックパルスを受け取るために接続された第2の入力端子、デジタルディスプレイに接続された出力端子、さらに画像レンダリング期間に通常のラインクロックパルスが出力端子に渡され、垂直ブランキング期間に高速ラインクロックパルスが出力端子に渡されるようにする制御端子を有するマルチプレクサを用いる。

【0015】さらに、クロッキングシステムは、一般的な画素クロックから通常の画素クロックパルスを受け取るために接続された第1の入力端子と、高速画素クロックから高速画素クロックパルスを受け取るために接続された第2の入力端子、デジタルディスプレイに接続された出力端子、さらに選択信号の印加によって画像レンダリング期間に通常の画素クロックパルスが出力端子に渡され、水平及び垂直ブランキング期間に高速画素クロックパルスが出力端子に渡されるようにする制御端子を有するマルチプレクサを用いる。

【0016】N画素x M行の大きさのデジタルディスプレイと、C画素x D行の画像サイズを有するA画素x B行の異なる表示装置とがあるとすれば、画素クロックパルスにつき一つの画素だけを渡すための高速ラインクロック及び高速画素クロックの速度は下記の式によって計算される。この式において、 T_{LF} は高速画素クロックの期間で、 T_{LC} は通常の画素クロックの期間、 T_{LF} は高速ラインクロックの期間、 T_{LC} は通常のラインクロックの期間である。

【0017】

【数4】

$$(N - C) \cdot T_{HF} \leq (A - C) \cdot T_{HC}$$

$$T_{VF} \geq N \cdot T_{HF}$$

$$(M - D) \cdot T_{VF} \leq (B - D) \cdot T_{VC}$$

【0018】

【発明の実施の形態】本願発明は、複数の表示装置を同時に使用し易くすることによって図1に関して先に説明した一般的な同時複数表示システム100を改良する。複数の表示装置には、液晶ディスプレイ(LCD)105などのデジタルディスプレイと、ラスタスキャンのサイズがデジタルディスプレイに比べて小さい陰極線管(CRT)又はTV110などのディスプレイがある。

【0019】図5Aは、他の点では一般的なコンピュータグラフィックスコントローラ115の一般的なクロックシ

システムを置き換える本願発明による画素クロックシステム500を示すブロック図である。画素クロックシステム500は、高速画素クロック505からライン515で高速画素クロック信号を、一般的な画素クロック510からライン520で通常の画素クロック信号を、そして制御ロジック540からライン530で制御信号DE_iを受け取るマルチプレクサ(MUX) 525を含む。制御信号DE_iに基づき、マルチプレクサ(MUX) 525は高速画素クロック信号か通常画素クロック信号かのいずれかを画素クロック出力信号としてライン535で渡す。

【0020】ディスプレイ235(図2)の画像領域240のラスタ化の期間に、制御ロジック540はマルチプレクサ(MUX) 525に対して一般的な画素クロック510から通常画素クロック信号を画素クロック出力信号としてライン535で渡すよう命令する。しかしながら、水平ブランキングの期間、制御ロジック540はマルチプレクサ(MUX) 525に対し高速画素クロック505から高速画素クロック信号を画素クロック出力信号としてライン535で渡すよう命令を出す。画素クロックシステム500の画素クロック出力信号が一般的な画素クロック信号に代わって水平シフトレジスタ205及び選択可能型ラッチ210に印加される。

【0021】高速画素クロック信号は、残りの選択可能型ラッチ210がそれぞれ「blank」のデータ値(例えば、黒のバックグラウンド)をキャプチャするまで、水平方向のアドレスされない領域250に対応する残りの選択可能型ラッチ210に対してクロッキングする。図2の例において、水平ブランキング期間に高速画素クロック信号は270個の(つまり、画素755から画素1024まで)短いパルスを含む。ブランキング期間のデータは既にblankのデータ値に設定されているから、データブロックを変更する必要がない。

【0022】図5Bは、本願発明によるコンピュータグラフィックスコントローラのラインクロックシステムを示すブロック図である。ラインクロックシステム550は、高速ラインクロック555からライン565で高速ラインクロック信号を、一般的なラインクロック560からライン570で通常のラインクロック信号を、そして制御ロジック590からライン580で制御信号DE_iを受け取るマルチプレクサ(MUX) 575を含む。制御信号DE_iに基づき、マルチプレクサ(MUX) 575は高速ラインクロック信号か通常のラインクロック信号かのいずれかをラインクロック信号出力としてライン585で渡す。

【0023】画素クロックシステム500と同様に、ディスプレイ235で画像領域がラスタ化されている間、制御ロジック590はマルチプレクサ(MUX) 575に対し一般的なラインクロック560から通常のラインクロック信号を画素クロック出力信号としてライン585で渡すよう命令を出す。垂直ブランキングの期間に、制御ロジック590はマルチプレクサ(MUX) 575に対し高速ライン

クロック555から高速ラインクロック信号をラインクロック信号出力としてライン585で渡すよう命令を出す。ラインクロックシステム550のラインクロック信号出力が、水平シフトレジスタ205及び統合ラッチ215、垂直シフトレジスタ225への一般的なラインクロック信号に取って代わる。

【0024】高速ラインクロック信号によって、垂直シフトレジスタ225はディスプレイ235の行がそれぞれblankのデータ値を表示するまで垂直方向のアドレスされない領域255に対応する残りのラインドライバ230をシフトさせることができる。図2の例において、垂直ブランキング期間に高速ラインクロック信号は282の(つまり、blank領域245の行487から768まで)短いパルスを含む。

【0025】図6は、画素クロックシステム500(図5A)及びラインクロックシステム550(図5B)を使用してNTSC TVモードで1024画素x 768行の画像フレームの、最初の486行をレンダリングするタイミング図である。変更されたグラフィックスコントローラ115(つまり、画素クロックシステム500とラインクロックシステム550を取り入れたもの)は一般的なフレーム信号を生成する。TV 110の画像の高さは486行だから、データ信号は一連の486個のデータ要素を示し、その後にはblank領域245の39行を表す「blank」データ信号が続く。従って、ラインクロックシステム550は、入ってくる486のデータ要素と同期した一連の486の一般的なパルスとしてライン585でラインクロック信号を渡すが、LCD 105には768行の走査線があるから垂直ブランキング期間に282の短いパルスを渡す。連続する一般的なラインパルスとラインパルスの間のタイムをクロック期間 T_{lc} と称する。

【0026】最初の486行では、TV 110の画像は754画素幅だから、データ信号は一連の754のデータ要素を含み、その後にはblank領域247の156の画素位置を表す「blank」データ信号が続く。従って、改良されたグラフィックスコントローラ115は画素クロックシステム500を用いて入ってくる754のデータ要素と同期した一連の754の一般的パルスとしてライン585で画素クロック信号出力を渡すが、LCDは一行に1024の画素を有するから水平ブランキング間隔に270の短いパルスを渡す。一般的画素クロックの時間を期間 T_{lc} と称し、高速画素クロックの時間を期間 T_{lc} と称する。従って、270の画素を「高速クロッキングする」のに要する時間はTVの水平ブランキング間隔以下、つまり $270(T_{lc}) \leq 156(T_{lc})$ でなければならない。この公式に基づく、約28 MHzの一般的なNTSCのTV画素クロックスピードに対して、高速画素クロックスピードは約48 MHz以上でなければならない。

【0027】図7は、図5Aの画素クロックシステムと図5Bのラインクロックシステムを用いてNTSC TVモードで1024画素x 768行のLCD画像フレームの最後の282行をレンダリングするタイミング図である。データ信号は行487

から525に対するブランク値に等しく、行526から768に対しては存在しないから、変更グラフィックスコントローラ115は画素クロックシステム500とラインクロックシステム550を用いて垂直ブランキング期間に残りの282行のそれぞれに対して1024の高速画素クロックパルスを生成する。より具体的には、487番目の行では、画素クロックシステム500は高速画素クロック505を用いて選択可能型ラッチ210のそれぞれにブランク値をキャプチャするため1024の高速画素パルスを生成する。ラインクロックシステム550は高速ラインクロック555を用いて残りの282行のそれぞれに対する短いパルスを生成する。従って、高速ラインクロックの期間 T_{rf} は、1024の高速画素パルスを生成するのに要する時間と等しいかそれ以上でなければならない。つまり、 $T_{rf} \geq 1024(T_{pe})$ でなければならない。LCD 105の残りの282行のラインのそれぞれを完全にブランクにするには、282行を「高速クロッキングする」のに要する時間はTVの垂直ブランキング期間と等しいかそれ以下でなければならない。つまり、 $282(T_{rf}) \leq 39(T_{pe})$ でなければならない。一般的TVのラインクロックスピードがおよそ910画素につき28 MHz、つまり0.03 MHzであるとすれば、高速ラインクロックのスピードは約0.217 MHz以上でなければならない。高速ラインクロックスピードが0.217 MHzだとしたら、高速画素クロックのスピードは222 MHz以上でなければならない。そうすると、高速画素クロックスピードが48 MHz以上でなければならないとする既定の計算にかなう。従って、高速画素クロックスピードは222 MHz、高速ラインクロックスピードは0.217 MHzを使用する。

【0028】一般論として、N画素x M行の大きさのLCD 105と、画像サイズがC画素x D行でA画素x B行のTVがあるとすれば、高速ラインクロック及び高速画素クロックのスピードは次の式で計算される。

【0029】

【数5】

$$(N - C) \cdot T_{HF} \leq (A - C) \cdot T_{HC}$$

$$T_{VF} \geq N \cdot T_{HF}$$

$$(M - D) \cdot T_{VF} \leq (B - D) \cdot T_{VC}$$

【0030】図8は、LCD 105のディスプレイ235上に表示されることになる画像を示すブロック図である。図2のディスプレイ235の図と比べて、754画素x 486行の画像240は1024画素x 768行のLCDディスプレイの相変わらず左上角にある。しかしながら、本実施例では水平ブランキング領域805及び垂直ブランキング領域810は、以前の水平ブランキング領域247及び垂直ブランキング領域245、アドレスされない水平領域250、さらにアドレスされない垂直領域255を含んでおり、画像エコーが完全になくなっている。

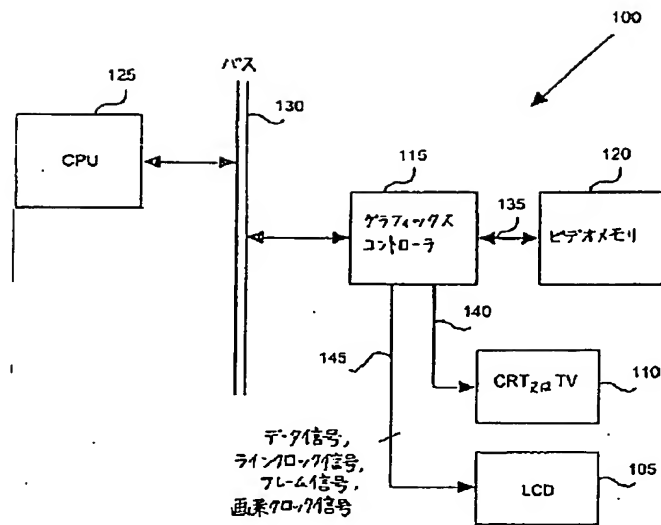
【0031】本願発明の好適な実施例についての上記の説明は一つの例にしかすぎず、本願発明によって上述の実施例及び方法以外に様々な変更が可能である。LCDタイプのモニタとの関連において説明してきたけれども、本願発明はプラズマパネルディスプレイやELパネルディスプレイなどデジタルインタフェース及びデジタルクロック式のタイミングを用いるいかなるデジタルディスプレイでも実現できる。さらに、LCDディスプレイの左上角の画像空間との関連において説明してきたけれども、本願発明は中央画像空間のディスプレイを用いて実現することができる。そうしたシステムにおいて、LCDディスプレイには左右、水平及び垂直のブランキング期間及びアドレスされない領域があり、グラフィックスコントローラは対応する制御ロジック540、590を有するであろう。さらに、画素クロックパルスにつき一つの画素だけしか処理しない場合に関連して説明してきたが、本願発明は画素クロックパルスにつき複数の画素を処理するシステムにおいても実現できる。

【0032】本願発明の構成要素は、プログラムされた汎用デジタルコンピュータを用いて、アプリケーション固有の集積回路を用いて、或いは相互接続された一般的構成要素及び回路のネットワークを用いて、実現することができる。本明細書で説明した実施例は例証するために提示されたものであり、それだけに限定されることを意図するものではない。上述の教えに鑑み、数多くの変形・変更が考えられる。本システムは上に記載の特許請求の範囲によってのみ限定される。

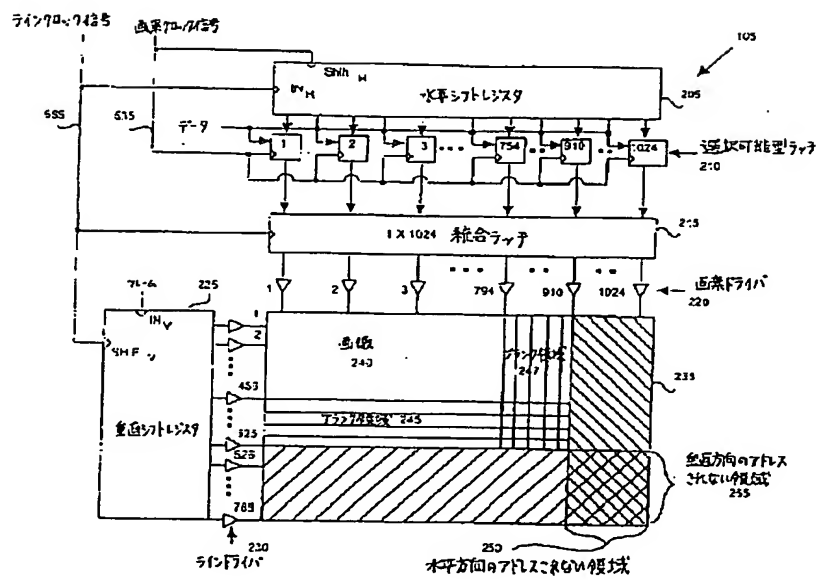
【図面の簡単な説明】

図1は、従来例による複数同時コンピュータグラフィックス表示システムを示すブロック図である。図2は、図1における従来例によるLCD及びその駆動回路を示すブロック図である。図3は、従来例による1024画素x 768行のLCDの画像フレームのレンダリングを示すタイミング図である。図4は、図2における従来例によるディスプレイでのブランク領域及びアドレスされない領域の生成を示すタイミング図である。図5Aは、本願発明の実施例によるコンピュータグラフィックスコントローラの画素クロックシステムを示すブロック図である。図5Bは、本願発明の実施例によるコンピュータグラフィックスコントローラのラインクロックシステムを示すブロック図である。図6は、図5Aの画素クロックシステム及び図5Bのラインクロックシステムを用いてNTSC TVモードで1024画素x 768行のLCDの画像フレームの最初の486行をレンダリングするタイミング図である。図7は、図5Aの画素クロックシステム及び図5Bのラインクロックシステムを用いてNTSC TVモードで1024画素x 768行のLCDの画像フレームの最後の282行をレンダリングするタイミング図である。図8は、本願発明の実施例の動作により生じるLCD上の画像を示すブロック図である。

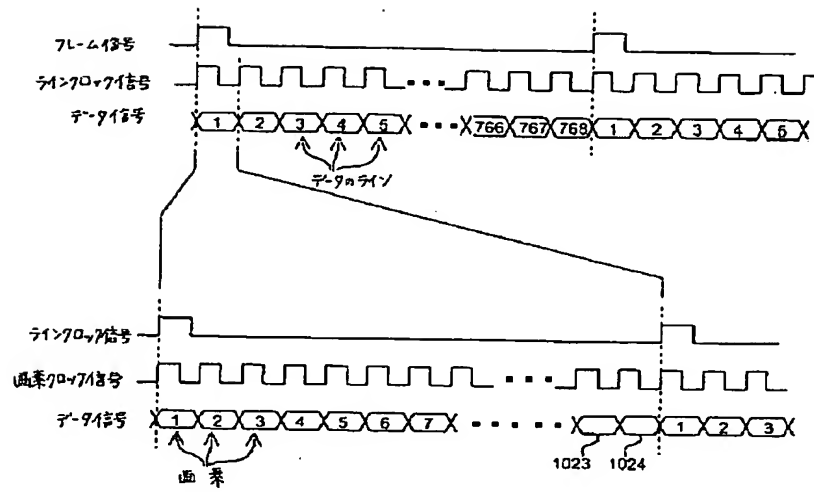
【図 1】



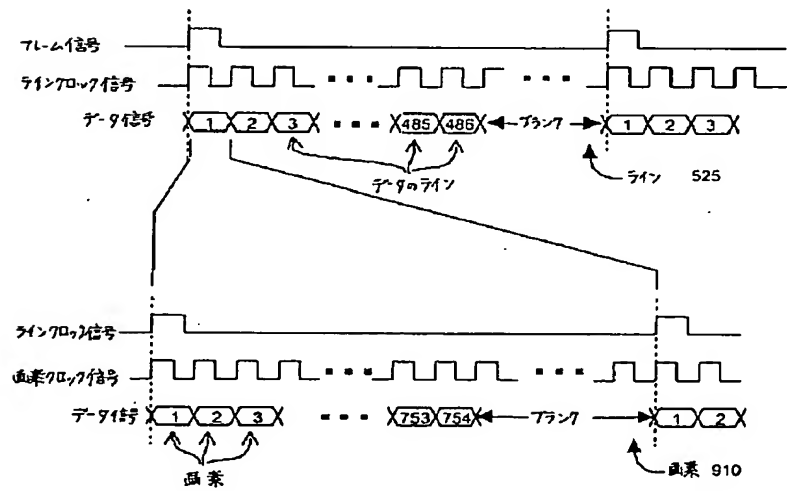
【図 2】



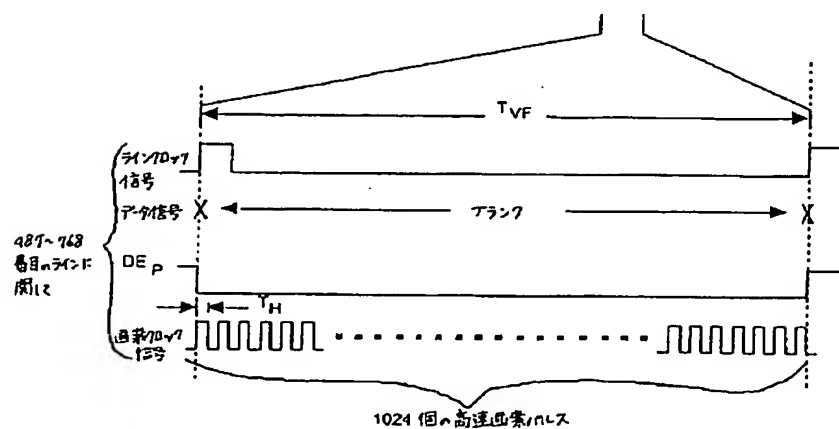
【図 3】



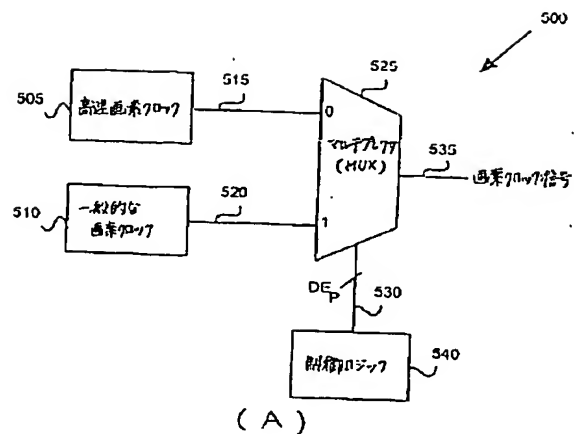
【図 4】



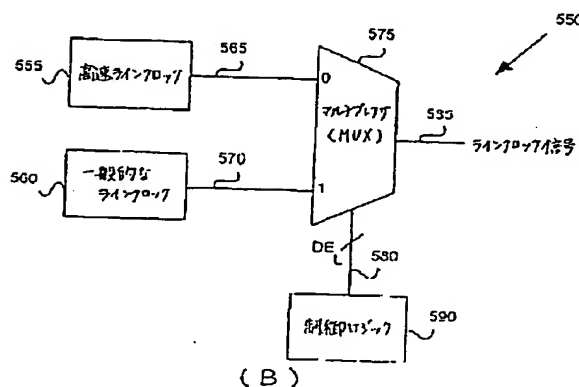
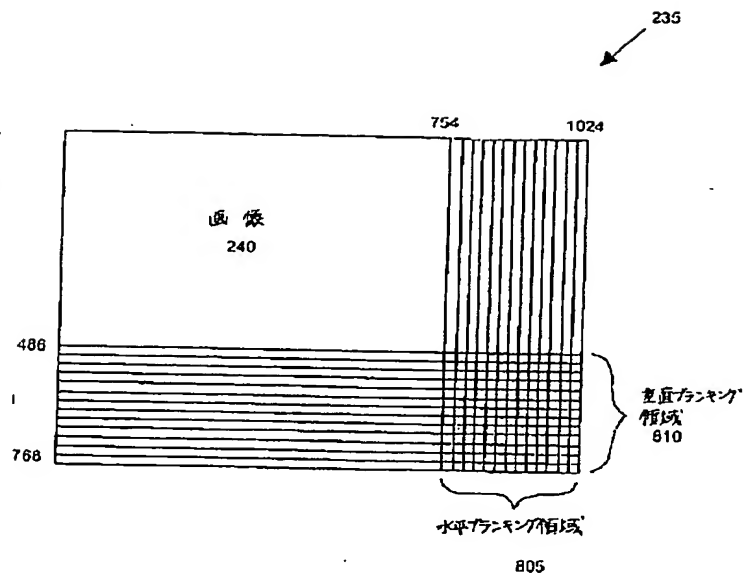
【図 7】



【図 5】



【図 8】



【図 6】

